Arquitectura y organización de computadores

Informe 3

HDLs

Benjamín Jorquera

201473521-9

2016-1

Índice

1. Portada 1
2. Índice 2
3. Ejercicios 3
   1. Desarrollo 1 4-5
   2. Resultado 1 6
   3. Desarrollo 2 6
   4. Resultado 2 7
4. Diagrama de Estados 8
5. Conclusiones y supuestos 8

Ejercicio 1:

Desarrollo:

En este ejercicio, se pide realizar un circuito lógico que representará funcionalmente una máquina de estados, en el cual cada estado estará determinado por un valor especifico.

Se desea abrir un tipo de caja fuerte con la siguiente secuencia de números: 10 2 8 1 6 12 3 0, repetidamente, para esto generaremos la primera tabla de valores con una entrada de 3 bits, que sería el mínimo necesario para obtener 8 estados con sus respectivos estados siguientes, de la siguiente manera:

10

2

8

1

6

12

3

0

|  |  |
| --- | --- |
| Q(n) | Q(n+1) |
| 000 | 001 |
| 001 | 010 |
| 010 | 011 |
| 011 | 100 |
| 100 | 101 |
| 101 | 110 |
| 110 | 111 |
| 111 | 000 |
|  | |

Tabla 1.1

Luego de esto, se pasará a la parte de los flipflops, en este caso se usarán 3 flipflops tipo D, ya que no es un circuito lógico tan complicado, y la idea es generar estados de manera mínimo. Se usará la siguiente tabla de valores para pasar a los mapas de Karnaugh.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q(n) | Q(n+1) | D1 | D2 | D3 |
| 000 | 001 | 0 | 0 | 1 |
| 001 | 010 | 0 | 1 | 0 |
| 010 | 011 | 0 | 1 | 1 |
| 011 | 100 | 1 | 0 | 0 |
| 100 | 101 | 1 | 0 | 1 |
| 101 | 110 | 1 | 1 | 0 |
| 110 | 111 | 1 | 1 | 1 |
| 111 | 000 | 0 | 0 | 0 |

Tabla 2.2

Mapas de Karnaugh:

D1 AB

C

00 01 11 10

|  |  |  |  |
| --- | --- | --- | --- |
| 0  0  1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |

D1: A + A +

00 01 11 10

0

1

D2 AB

C

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |

D2:

00 01 11 10

D3 AB

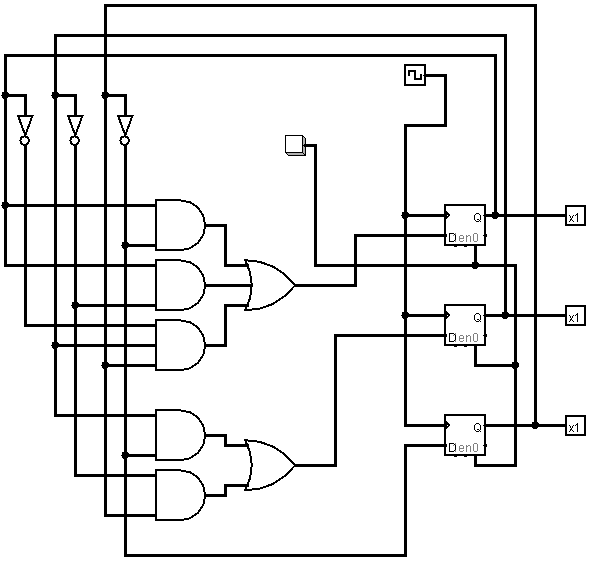
C

|  |  |  |  |
| --- | --- | --- | --- |
| 1  0  1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 |

D3:

Tablas 1.3, 1.4, 1.5

Resultado:

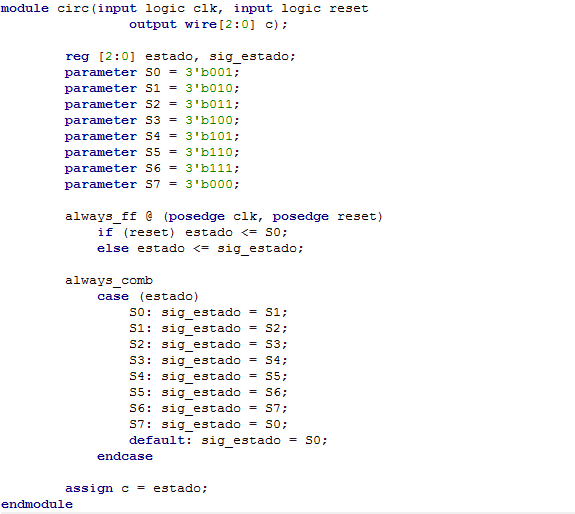


Ejercicio 2:

Desarrollo:

Se pide escribir un módulo en HDL del circuito anterior, para esto se usó un compilador Verilog Online, el cual, desde una asignación de parámetros a estados, representa una vista de lo que debería ocurrir con el Flipflop D, insertando su respectivo Clock y Reset lógicos.

Resultado:



Código 1

Diagrama de estados:

000

010

001

111

011

110

100

101

Conclusiones:

Dentro de las generalidades de este informe, se encuentra la creación e implementación de una máquina de estados con circuitos lógicos, el cual tiene muchos usos misceláneos, como secuencias numéricas, contadores, entre otros.

Supuestos:

-No fue necesario convertir los estados de salida a los números de la secuencia como una segunda salida, en este informe se indica muy bien que representa cada estado.

-Todos los derechos de este informe y el circuito integrado son exclusivamente de mi propiedad.